

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2003045964 A**(43) Date of publication of application: **14.02.03**

(51) Int. Cl.

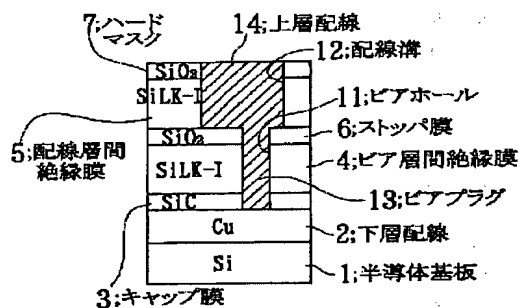
H01L 21/768
H01L 21/3065
(21) Application number: **2001230600**(71) Applicant: **NEC CORP**(22) Date of filing: **30.07.01**(72) Inventor: **NANBU HIDETAKA**(54) **SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING SAME**

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce a capacity between wirings formed by an inter-layer insulation film for the implementation of a highly accurately processed dual Damascene wiring structure.

SOLUTION: In a semiconductor device disclosed, an inter-via insulation film 4 and an inter-wiring insulation film 5 on which a via plug 13 and an upper wiring 14 are formed respectively both comprise an organic film of a low dielectric constant, and the inter-wiring insulation film 5 is covered with a hard mask 7 comprising SiO₂ film.

COPYRIGHT: (C)2003,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-45964

(P2003-45964A)

(43) 公開日 平成15年2月14日 (2003.2.14)

(51) Int.Cl.⁷

識別記号

F I

テマコード* (参考)

H 0 1 L 21/768

H 0 1 L 21/90

A 5 F 0 0 4

21/3065

V 5 F 0 3 3

21/302

J

審査請求 未請求 請求項の数23 O L (全 19 頁)

(21) 出願番号 特願2001-230600 (P2001-230600)

(22) 出願日 平成13年7月30日 (2001.7.30)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 南部 英高

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100099830

弁理士 西村 征生

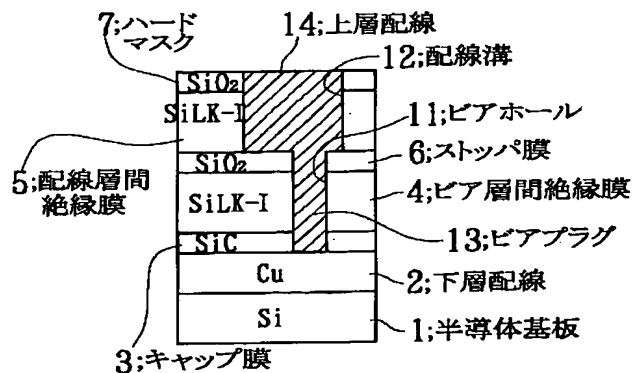
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 層間絶縁膜により形成される配線間容量を減少させ、高加工精度のデュアルダマシン配線構造を実現する。

【解決手段】 開示されている半導体装置は、それぞれビアプラグ13及び上層配線14が形成されるビア層間絶縁膜4及び配線層間絶縁膜5はともに低誘電率の有機膜から成り、かつ配線層間絶縁膜5はSiO₂膜から成るハードマスク7で覆われている。



【特許請求の範囲】

【請求項1】 下層配線を覆うように層間絶縁膜を形成し、該層間絶縁膜に形成したビアホール及び配線溝にそれぞれビアプラグ及び上層配線を同時に形成し、前記ビアプラグを通じて前記下層配線と前記上層配線とを接続する半導体装置であって、

前記層間絶縁膜は低誘電率の絶縁膜から成り、前記層間絶縁膜はハードマスクで覆われていることを特徴とする半導体装置。

【請求項2】 前記層間絶縁膜は有機膜から成ることを特徴とする請求項1記載の半導体装置。

【請求項3】 下層配線を覆うように第1の層間絶縁膜及び第2の層間絶縁膜を積層し、前記第1及び第2の層間絶縁膜にそれぞれ形成したビアホール及び配線溝にそれぞれビアプラグ及び上層配線を同時に形成し、前記ビアプラグを通じて前記下層配線と前記上層配線とを接続する半導体装置であって、

前記第1及び第2の層間絶縁膜はともに低誘電率の絶縁膜から成り、前記第2の層間絶縁膜はハードマスクで覆われていることを特徴とする半導体装置。

【請求項4】 前記第1及び第2の層間絶縁膜はともに有機膜から成ることを特徴とする請求項3記載の半導体装置。

【請求項5】 前記第1の層間絶縁膜は無機膜から成る一方、前記第2の層間絶縁膜は有機膜から成ることを特徴とする請求項3記載の半導体装置。

【請求項6】 前記第1の層間絶縁膜は有機膜から成る一方、前記第2の層間絶縁膜は無機膜から成ることを特徴とする請求項3記載の半導体装置。

【請求項7】 前記第1の層間絶縁膜あるいは前記第2の層間絶縁膜の少なくとも一方がCMP法により平坦化されていることを特徴とする請求項3乃至6のいずれか1に記載の半導体装置。

【請求項8】 前記第1の層間絶縁膜と前記第2の層間絶縁膜との中間位置にストップ膜が形成されていることを特徴とする請求項3乃至7のいずれか1に記載の半導体装置。

【請求項9】 前記ストップ膜がCMP法により平坦化されていることを特徴とする請求項3乃至8のいずれか1に記載の半導体装置。

【請求項10】 前記ハードマスクは、下部マスクと上部マスクとの2種類の薄膜が積層されたデュアルハードマスクから成ることを特徴とする請求項1乃至9のいずれか1に記載の半導体装置。

【請求項11】 前記上部マスクは、前記下部マスク及び該下部マスクの直下位置の層間絶縁膜との選択性に優れた材料から成ることを特徴とする請求項10記載の半導体装置。

【請求項12】 前記上部マスクは、SiC、SiN、SiCN、W、WSi、SiOF、HSQ、MSQ又は

MHSQから成ることを特徴とする請求項10記載の半導体装置。

【請求項13】 前記下部マスクは、SiO₂、SiC、SiN、SiCN、W、WSi、SiOF、HSQ、MSQ又はMHSQから成ることを特徴とする請求項10記載の半導体装置。

【請求項14】 前記ストップ膜は、SiO₂、SiN、SiCN、SiC、SiOF、HSQ、MSQ又はMHSQから成ることを特徴とする請求項8乃至13のいずれか1に記載の半導体装置。

【請求項15】 前記下層配線の上にキャップ膜が形成されていることを特徴とする請求項1乃至14のいずれか1に記載の半導体装置。

【請求項16】 前記キャップ膜は、SiON、SiC、SiO₂、SiCN又はSiNから成ることを特徴とする請求項15記載の半導体装置。

【請求項17】 下層配線を覆うように層間絶縁膜を形成し、該層間絶縁膜に形成したビアホール及び配線溝にそれぞれビアプラグ及び上層配線を同時に形成し、前記ビアプラグを通じて前記下層配線と前記上層配線とを接続する半導体装置の製造方法であって、

前記下層配線の上にキャップ膜を介して前記層間絶縁膜を形成する層間絶縁膜形成工程と、

前記層間絶縁膜上に下部マスクと上部マスクとの2種類の薄膜が積層されたデュアルハードマスクを形成するデュアルハードマスク形成工程と、

前記デュアルハードマスクをマスクとして前記層間絶縁膜にビアホール及び配線溝を同時に形成する層間絶縁膜加工工程と、

前記ビアホール及び前記配線溝にそれぞれビアプラグ及び上層配線を同時に形成する配線形成工程とを含むことを特徴とする半導体装置の製造方法。

【請求項18】 前記層間絶縁膜形成工程は、前記キャップ膜上に第1の層間絶縁膜を形成する第1の層間絶縁膜形成工程と、前記第1の層間絶縁膜上に第2の層間絶縁膜を形成する第2の層間絶縁膜形成工程とから成ることを特徴とする請求項17記載の半導体装置の製造方法。

【請求項19】 前記キャップ膜として、SiON、SiC、SiO₂、SiCN又はSiNを用いることを特徴とする請求項17又は18記載の半導体装置の製造方法。

【請求項20】 前記キャップ膜として前記SiO₂を用いた場合、前記層間絶縁膜加工工程を、C₄F₄/CO/Ar/O₂、C₄F₈、C₅F₈又はCHF₃から成るエッチングガスを用いて実施することを特徴とする請求項19記載の半導体装置の製造方法。

【請求項21】 前記デュアルハードマスクの前記上部マスクとして、SiC、SiN、SiCN、W、WSi、SiOF、HSQ、MSQ又はMHSQを用いるこ

とを特徴とする請求項17乃至20のいずれか1に記載の半導体装置の製造方法。

【請求項22】 前記デュアルハードマスクの前記下部マスクとして、 SiO_2 、 SiC 、 SiN 、 SiCN 、 W 、 WSi 、 SiOF 、 HSQ 、 MSQ 又は MHSQ を用いることを特徴とする請求項17乃至21のいずれか1に記載の半導体装置の製造方法。

【請求項23】 前記上部マスク及び前記下部マスクとしてそれぞれ前記 SiC 及び前記 SiO_2 を用いた場合、前記層間絶縁膜加工工程を、 CF_4 、 O_2 及び N_2 をそれぞれ20～40SCCM、10～50SCCM及び80～150SCCM含んだエッチングガスを用いて、10～100mTorrの圧力の条件の下で実施することを特徴とする請求項21又は22記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体装置及びその製造方法に係り、詳しくは半導体基板上に形成されたビア層間絶縁膜及び配線層間絶縁膜にそれぞれビアプラグ及び配線を同時に形成して成るデュアルダマシン(Dual Damascene)配線構造を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 半導体装置の代表として知られているマイクロプロセッサやメモリ等のLSI(大規模集積回路)は、集積度の向上につれて個々の素子の寸法は益々微細化されてきており、これに伴って各素子を構成する半導体領域の寸法も微細化されてきている。また、各半導体領域に接続する配線を形成する場合、配線を半導体基板の平面方向に形成するだけでは高集積度に対応した高い配線密度が確保できないので、配線を半導体基板の厚さ方向に多層にわたって形成するようにした多層配線技術が採用されてきている。LSIにおいて典型的なマイクロプロセッサの例では、7～9層にも及ぶ多層配線構造が実現されている。

【0003】 このようなLSIにおいては、配線の抵抗値が動作速度等の特性に大きな影響を与えるので、低い抵抗値の配線が望まれている。従来からLSIを含めた半導体装置の配線材料として、電気的特性、加工性等の点で優れているAl又はAlを主成分とするAl系金属が一般に用いられている。しかしながら、Al系金属は、エレクトロマイグレーション耐性、ストレスマイグレーション耐性等に弱いという欠点がある。このため、Al系金属に代ってこれよりも抵抗値が小さくて、エレクトロマイグレーション耐性、ストレスマイグレーション耐性に優れているCu又はCuを主成分とするCu系金属が用いられる傾向にある。

【0004】 ところで、Cu系金属を用いて配線を形成する場合、Cu系金属は化学的に安定している特徴を有しているため、Al系金属のようにエッチング技術を利用

して所望の形状にパターニングするのが困難である。このためCu系金属を用いて配線を形成する場合は、半導体基板上に形成した層間絶縁膜に予め配線溝を形成した上で、この配線溝を含む全面にCu系金属膜を形成した後、層間絶縁膜上の不要なCu系金属膜をCMP(Chemical Mechanical Polishing)法により除去して、配線溝内のみに残した(埋め込んだ)Cu系金属膜を配線とするようにした、いわゆるダマシン配線技術が知られている。また、多層配線における微細化配線に適した構造として、ダマシン配線技術を発展させたデュアルダマシン配線構造が採用されている。

【0005】 上述のデュアルダマシン配線構造は、予め下層配線を形成した半導体基板上にビア層間絶縁膜及び配線層間絶縁膜を積層した後、これらの層間絶縁膜にそれぞれビアホール及び上層配線溝を形成し、次に全面にCu系金属膜を形成した後不要なCu系金属膜をCMP法により除去して、ビアホール内及び上層配線溝内のみにCu系金属膜を残すようにしてビアプラグ及び上層配線を同時に形成するようにしたものである。このような構成により、ビアプラグを通じて下層配線と上層配線とが接続されたデュアルダマシン配線構造が得られる。

【0006】 また、このようなデュアルダマシン配線構造を有する半導体装置では、下層配線と上層配線との間に存在している層間絶縁膜によって形成される配線間容量(以下、単に容量とも称する)の増加により、信号遅延が生じて高速動作に影響を受ける。したがって、層間絶縁膜による容量の減少を図るべく、層間絶縁膜としては低誘電率(いわゆるlow-K)の絶縁膜が用いられる傾向にある。

【0007】 上述したデュアルダマシン配線構造を有する半導体装置の製造方法が、例えば特開平10-209273号公報に開示されている。以下、図27及び図28を参照して、同半導体装置の製造方法を工程順に説明する。まず、図27(a)に示すように、所定の素子が形成され、表面にシリコン酸化膜(SiO_2)等から成る絶縁膜102が形成された半導体基板101上に、シリコン酸化膜等から成る第1の層間絶縁膜103及びシリコン窒化膜(SiN)等から成る第1のエッチングストップ膜105を形成する。次に、第1の層間絶縁膜103及び第1のエッチングストップ膜105を選択的にエッチングして下層配線溝106を形成した後、下層配線溝106を埋め込むように銅膜等の導電膜を成膜し、CMP法により導電膜をエッチングストップ膜105が露出するまで除去して下層配線溝106内のみ導電膜を残して、下層配線104を形成する。次に、全面にシリコン酸化膜等から成る第2の層間絶縁膜107、シリコン窒化膜等から成る第2のエッチングストップ膜108、シリコン酸化膜等から成る第3の層間絶縁膜109及びアルミナ(Al_2O_3)等から成る第3のエッチングストップ膜110を順次に積層させて形成する。

【0008】次に、図27(b)に示すように、第3のエッチングストップ膜110上にレジストを塗布しこれに露光及び現像処理を施して、所望の配線形状の開口部111aを有するレジスト膜111を形成する。次に、図27(c)に示すように、レジスト膜111をマスクにして第3のエッチングストップ膜110及び第3の層間絶縁膜109を順次にエッチングして、第2のエッチングストップ膜108が露出した時点でエッチングを停止させて配線溝112を形成する。次に、レジスト膜111を除去した後、図27(d)に示すように、第3のエッチングストップ膜110上に新たなレジストを塗布しこれに露光及び現像処理を施して、所望のスルーホール形状の開口部113aを有するレジスト膜113を形成する。

【0009】次に、図28(e)に示すように、レジスト膜113をマスクにして第2のエッチングストップ膜108及び第2の層間絶縁膜107を順次にエッチングして、スルーホール（ビアホール）114を形成する。次に、図28(f)に示すように、レジスト膜113を除去した後、配線溝112及びスルーホール114を埋め込むように全面に銅膜等の導電膜を成膜し、CMP法により第3のエッチングストップ膜110上の導電膜を除去することにより、図28(g)に示すように、ビアプラグ115及び上層配線116を同時に形成する。このような構成により、ビアプラグ115を通じて下層配線104と上層配線116とが接続されたデュアルダマシン配線構造を有する半導体装置が完成される。

【0010】

【発明が解決しようとする課題】ところで、上記公報記載の従来の半導体装置の製造方法では、ビアプラグの形成に先立つビアホール形成時にビアホールの幅がばらつき易いので、加工精度の高いデュアルダマシン配線構造の実現が困難になる、という問題がある。例えば、図27(d)の工程で、レジスト膜113の形成位置が図29(a)に示すように左方向にずれたとすると、図28(e)の工程に対応した第2のエッチングストップ膜108及び第2の層間絶縁膜107のエッチング後の構造は図29(b)に示すようになり、ビアホール114の幅は狭まって形成されることになる。したがって、このビアホール114に埋め込まれるビアプラグ115の幅は、図29(c)に示すように、小さくなるので、より微細化された加工精度の高いデュアルダマシン配線構造が得られなくなる。

【0011】また、従来の半導体装置の製造方法では、下層配線104と上層配線116との間に存在している第2の層間絶縁膜107あるいは第2のエッチングストップ膜108は、シリコン酸化膜（誘電率：3.9～4.2）あるいはシリコン窒化膜（誘電率：7.2～7.6）等の絶縁膜を用いているが、これらの絶縁膜の誘電率は比較的大きいので、形成される容量は大きな

る。したがって、信号遅延が生じて高速動作に影響を受けるため、より低誘電率の絶縁膜を使用することが望まれている。

【0012】この発明は、上述の事情に鑑みてなされたもので、層間絶縁膜により形成される配線間容量を減少させ、高加工精度のデュアルダマシン配線構造を実現することができるようにした半導体装置及びその製造方法を提供することを目的としている。

【0013】

【課題を解決するための手段】上記課題を解決するために、請求項1記載の発明は、下層配線を覆うように層間絶縁膜を形成し、該層間絶縁膜に形成したビアホール及び配線溝にそれぞれビアプラグ及び上層配線を同時に形成し、上記ビアプラグを通じて上記下層配線と上記上層配線とを接続する半導体装置であって、上記層間絶縁膜は低誘電率の絶縁膜から成り、上記層間絶縁膜はハードマスクで覆われていることを特徴としている。

【0014】また、請求項2記載の発明は、請求項1記載の半導体装置に係り、上記層間絶縁膜は有機膜から成ることを特徴としている。

【0015】また、請求項3記載の発明は、下層配線を覆うように第1の層間絶縁膜及び第2の層間絶縁膜を積層し、上記第1及び第2の層間絶縁膜にそれぞれ形成したビアホール及び配線溝にそれぞれビアプラグ及び上層配線を同時に形成し、上記ビアプラグを通じて上記下層配線と上記上層配線とを接続する半導体装置であって、上記第1及び第2の層間絶縁膜はともに低誘電率の絶縁膜から成り、上記第2の層間絶縁膜はハードマスクで覆われていることを特徴としている。

【0016】また、請求項4記載の発明は、請求項3記載の半導体装置に係り、上記第1及び第2の層間絶縁膜はともに有機膜から成ることを特徴としている。

【0017】また、請求項5記載の発明は、請求項3記載の半導体装置に係り、上記第1の層間絶縁膜は無機膜から成る一方、上記第2の層間絶縁膜は有機膜から成ることを特徴としている。

【0018】また、請求項6記載の発明は、請求項3記載の半導体装置に係り、上記第1の層間絶縁膜は有機膜から成る一方、前記第2の層間絶縁膜は無機膜から成ることを特徴とする。

【0019】また、請求項7記載の発明は、請求項3乃至6のいずれか1に記載の半導体装置に係り、上記第1の層間絶縁膜あるいは上記第2の層間絶縁膜の少なくとも一方がCMP法により平坦化されていることを特徴としている。

【0020】また、請求項8記載の発明は、請求項3乃至7のいずれか1に記載の半導体装置に係り、前記第1の層間絶縁膜と前記第2の層間絶縁膜との中間位置にストップ膜が形成されていることを特徴とする。

【0021】また、請求項9記載の発明は、請求項3乃至

至8のいずれか1に記載の半導体装置に係り、上記ストップ膜がCMP法により平坦化されていることを特徴としている。

【0022】また、請求項10記載の発明は、請求項1乃至9のいずれか1に記載の半導体装置に係り、上記ハードマスクは、下部マスクと上部マスクとの2種類の薄膜が積層されたデュアルハードマスクから成ることを特徴としている。

【0023】また、請求項11記載の発明は、請求項10記載の半導体装置に係り、上記上部マスクは、上記下部マスク及び該下部マスクの直下位置の層間絶縁膜との選択性に優れた材料から成ることを特徴としている。

【0024】また、請求項12記載の発明は、請求項10記載の半導体装置に係り、上記上部マスクは、SiC、SiN、SiCN、W、WSi、SiOF、HSQ、MSQ又はMHSQから成ることを特徴としている。

【0025】また、請求項13記載の発明は、請求項10記載の半導体装置に係り、上記下部マスクは、SiO₂、SiC、SiN、SiCN、W、WSi、SiOF、HSQ、MSQ又はMHSQから成ることを特徴としている。

【0026】また、請求項14記載の発明は、請求項8乃至13のいずれか1に記載の半導体装置に係り、上記ストップ膜は、SiO₂、SiN、SiCN、SiC、SiOF、HSQ、MSQ又はMHSQから成ることを特徴としている。

【0027】また、請求項15記載の発明は、請求項1乃至14のいずれか1に記載の半導体装置に係り、上記下層配線上にキャップ膜が形成されていることを特徴としている。

【0028】また、請求項16記載の発明は、請求項15記載の半導体装置に係り、上記キャップ膜は、SiON、SiC、SiO₂、SiCN又はSiNから成ることを特徴としている。

【0029】また、請求項17記載の発明は、下層配線を覆うように層間絶縁膜を形成し、該層間絶縁膜に形成したビアホール及び配線溝にそれぞれビアプラグ及び上層配線を同時に形成し、上記ビアプラグを通じて上記下層配線と上記上層配線とを接続する半導体装置の製造方法であって、上記下層配線上にキャップ膜を介して上記層間絶縁膜を形成する層間絶縁膜形成工程と、上記層間絶縁膜上に下部マスクと上部マスクとの2種類の薄膜が積層されたデュアルハードマスクを形成するデュアルハードマスク形成工程と、上記デュアルハードマスクをマスクとして上記層間絶縁膜にビアホール及び配線溝を同時に形成する層間絶縁膜加工工程と、上記ビアホール及び上記配線溝にそれぞれビアプラグ及び上層配線を同時に形成する配線形成工程とを含むことを特徴としている。

【0030】また、請求項18記載の発明は、請求項17記載の半導体装置の製造方法に係り、上記層間絶縁膜形成工程は、上記キャップ膜上に第1の層間絶縁膜を形成する第1の層間絶縁膜形成工程と、上記第1の層間絶縁膜上に第2の層間絶縁膜を形成する第2の層間絶縁膜形成工程とから成ることを特徴としている。

【0031】また、請求項19記載の発明は、請求項17又は18記載の半導体装置の製造方法に係り、上記キャップ膜として、SiON、SiC、SiO₂、SiCN又はSiNを用いることを特徴としている。

【0032】また、請求項20記載の発明は、請求項19記載の半導体装置の製造方法に係り、上記キャップ膜として上記SiO₂を用いた場合、上記層間絶縁膜加工工程を、C₄F₈/CO/Ar/O₂、C₄F₈、C₅F₈又はCHF₃から成るエッチングガスを用いて実施することを特徴としている。

【0033】また、請求項21記載の発明は、請求項17乃至20のいずれか1に記載の半導体装置の製造方法に係り、上記デュアルハードマスクの上記上部マスクとして、SiC、SiN、SiCN、W、WSi、SiOF、HSQ、MSQ又はMHSQを用いることを特徴としている。

【0034】また、請求項22記載の発明は、請求項17乃至21のいずれか1に記載の半導体装置の製造方法に係り、上記デュアルハードマスクの上記下部マスクとして、SiO₂、SiC、SiN、SiCN、W、WSi、SiOF、HSQ、MSQ又はMHSQを用いることを特徴としている。

【0035】また、請求項23記載の発明は、請求項21又は22記載の半導体装置の製造方法に係り、上記上部マスク及び上記下部マスクとしてそれぞれ上記SiC及び上記SiO₂を用いた場合、上記層間絶縁膜加工工程を、CF₄、O₂及びN₂をそれぞれ20～40SCCM、10～50SCCM及び80～150SCCM含んだエッチングガスを用いて、10～100mTorrの圧力の条件の下で実施することを特徴としている。

【0036】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。説明は実施例を用いて具体的に行う。

◇第1実施例

図1は、この発明の第1実施例である半導体装置の構成を示す断面図、図2は同半導体装置に用いられるデュアルハードマスクを形成するための初期構造を示す断面図、図3は同半導体装置に用いられるデュアルハードマスクを形成するためのトレンチマスクの形成方法を工程順に示す工程図、図4は同半導体装置に用いられるデュアルハードマスクの形成時に用いられるエッチングガスの一成分であるN₂の流量（横軸）と選択比（縦軸）との関係を示すグラフである。

示す図、図6は同デュアルハードマスクの形成時に行われるエッチング雰囲気中の圧力(横軸)と選択比(縦軸)との関係を示す図、図7及び図8は同半導体装置の製造方法を工程順に示す工程図である。

【0037】この例の半導体装置は、図1に示すように、所定の素子が形成されたシリコンから成る半導体基板1上にCuから成る下層配線2が形成され、下層配線2上には膜厚が18~25nmのSiC膜(シリコン炭化膜)から成るキャップ膜3を介して、いずれも例えばSiLK(Silicon Low-K Polymer)として知られているとともに膜厚が250~350nmの低誘電率の有機膜から成るビア層間絶縁膜(第1の層間絶縁膜)4及び配線層間絶縁膜(第2の層間絶縁膜)5が中間位置に膜厚が20~30nmのSiO₂膜(シリコン酸化膜)から成るストッパ膜6を介在して積層され、配線層間絶縁膜5は膜厚が80~120nmのSiO₂膜から成るハードマスク7で覆われている。SiLK有機膜は、2.0~3.0の誘電率を有し、従来から一般に用いられている前述したようなシリコン酸化膜及びシリコン窒化膜等のそれに比べて、誘電率の値は数分の1と小さくなっている。ハードマスク7は、後述するように、製造方法の初期段階ではSiO₂膜(下部マスク)とSiC膜(上部マスク)との積層膜から成るデュアルハードマスクとして形成されるが、最終的にはSiC膜が除去されてSiO₂膜のみから成るハードマスク7として残されている。ここで、デュアルハードマスクの状態では、上部マスクとしてのSiC膜は、下部マスクとしてのSiO₂膜との選択性に優れ、かつ有機膜との選択性に優れた絶縁膜として用いられている。

【0038】また、ビア層間絶縁膜4、この上下位置のキャップ膜3及びストッパ膜6には下層配線2を部分的に露出するようにビアホール11が形成され、さらに配線層間絶縁膜5及びこの上のハードマスク7にはビアホール11と連通されるように配線溝12が形成され、ビアホール11及び配線溝12にはそれぞれCuから成るビアプラグ13及び上層配線14が同時に形成されている。このような構成により、ビアプラグ13を通じて下層配線2と上層配線14とが接続されたデュアルダマシン配線構造が得られる。

【0039】ここで、キャップ膜3は、下層配線2を覆っていて、ビアプラグ13あるいは上層配線14を構成しているCuが下方に拡散するのを防止するバリアとして、あるいは製造時のエッチング処理の際にエッチングストッパとして働くように構成されている。また、ビア層間絶縁膜4と配線層間絶縁膜5との中間位置に形成されているストッパ膜6は、製造時にエッチング処理を安定に行わせる働きをしているが、必ずしも形成する必要はない。

【0040】上述したようなデュアルダマシン配線構造を有する半導体装置によれば、それぞれビアプラグ13

及び上層配線14が形成されるビア層間絶縁膜4及び配線層間絶縁膜5は、ともに低誘電率(誘電率:2~3)の有機膜から成るので、シリコン酸化膜あるいはシリコン窒化膜等から成る従来例に比べて、層間絶縁膜による容量を小さくすることができる。この結果、信号遅延が著しく抑制されるので、高速動作に受ける影響を少なくすることができる。また、上層配線14が形成される配線層間絶縁膜5はSiO₂膜から成るハードマスク7で覆われているので、マスクが固い絶縁膜により構成されることでマスクの肩落ちが少なくなるため、安定に動作することができる。例えば設計ルール0.2μm以下のデュアルダマシン加工を実現することができるようになる。

【0041】この例の半導体装置を製造するには、予めデュアルハードマスクを用意する必要があるので、次に、デュアルハードマスクの形成方法を説明する。まず、所定の素子が形成されたシリコンから成る半導体基板1を用いて、図2に示すような初期構造を形成する。これには、半導体基板1上に膜厚が18~25nmのSiC膜からキャップ膜3、膜厚が250~350nmのSiLK有機膜から成るビア層間絶縁膜4、膜厚が20~30nmのSiO₂膜から成るストッパ膜6、膜厚が250~350nmのSiLK有機膜から成る配線層間絶縁膜5、下部マスクとしての膜厚が80~120nmのSiO₂膜8と上部マスクとしての膜厚が60~80nmのSiC膜9との積層膜から成るデュアルハードマスク10を順次に形成し、さらにSiC膜9上に膜厚が0.8~1.0μmのARC膜(Anti-Reflective-Coat:反射防止膜)16を形成する。次に、ARC膜16上にPR(Photo-Resist:フォトレジスト)を塗布しこれに露光及び現像処理を施して、所望の配線形状の開口部17aを有するPR膜(フォトレジスト膜)17を形成する。ここで、キャップ膜3、ビア層間絶縁膜4、ストッパ膜6、配線層間絶縁膜5、デュアルハードマスク10等の成膜方法は、予め所定の膜厚よりも厚くなるようにCVD法、回転塗布法等により成膜した後、CMP法により所定の膜厚となるように調整するようにする。

【0042】次に、図3に示すように、上述の初期構造を基にトレンチマスクを形成する。これには、まず、図3(a)に示すように、PR膜17をマスクとしてCF₄/Ar/O₂等のエッチングガスを用いてドライエッチング法によりARC膜16を選択的にエッチングする。次に、図3(b)に示すように、PR膜17をそのままマスクとしてCF₄/Ar/O₂/N₂から成るエッチングガスを用いて、CF₄、O₂、N₂の各流量をCF₄:20~40SCCM(Standard Cubic Centimeter per Minute)、O₂:10~50SCCM、N₂:80~150SCCMに設定し、かつエッチング時の雰囲気中の圧力を10~100mTorr(Torriceilli)に設定することにより、上部マスクであるSiC膜9を選択的にエッチングする。このと

き、エッチングガスの主要成分を、上述した条件の範囲以外に設定した場合には、下部マスクである SiO_2 膜8との選択比がとれなくなるので、 SiC 膜9を選択的にエッチングすることができなくなる。

【0043】図5は、上記 SiC 膜9を選択的にエッチングするときに用いたエッチングガスの一成分である N_2 の流量（横軸）と、 SiO_2 膜8に対する SiC 膜9の選択比（縦軸）との関係を示す図で、選択比の N_2 流量依存性を示している。このように、上記エッチングガスを用いた場合の選択比は、略 N_2 の流量により決定される。一方、図6は、エッチング時の雰囲気圧力（横軸）と、 SiO_2 膜8に対する SiC 膜9の選択比（縦軸）との関係を示す図で、選択比の圧力依存性を示している。図5及び図6から明らかなように、上記選択比は上記エッチングガスの N_2 の流量により、あるいはエッチング時の圧力により決定することができる。

【0044】次に、図3(c)に示すように、 O_2 、 N_2 、 H_2 あるいは N_2/H_2 等によるプラズマによりPR膜17をアッシングして除去した後、さらに有機溶剤を用いてレジスト残渣を完全に除去して、 SiC 膜9に所望の配線形状の開孔部9aが形成されたハードマスク、いわゆるトレンチマスクを形成する。

【0045】次に、図4に示すように、上述のトレンチマスクを基にデュアルハードマスクを形成する。これには、全面に再びARC膜18を形成した後、ARC膜18上にPRを塗布しこれに露光及び現像処理を施して、後述するビアホールに相当する開孔部19aを有するPR膜19を形成することにより、下部マスクとしての SiO_2 膜8と上部マスクとしての SiC 膜9との積層膜から成るデュアルハードマスク10を形成する。

【0046】次に、図7及び図8を参照して、上述したデュアルハードマスクを用いた、この例の半導体装置の製造方法を工程順に説明する。なお、以下の各工程は共通のエッチング装置内で、ステップ切り替えにより連続して行われる。まず、図7(a)に示すように、PR膜19をマスクとして、 $\text{CF}_4/\text{Ar}/\text{O}_2/\text{N}_2$ 等のエッチングガスを用いて、ARC膜18、 SiC 膜9及び SiO_2 膜8から成るデュアルハードマスク10、及び配線層間絶縁膜5の一部を選択的にエッチングする。

【0047】次に、図7(b)に示すように、 N_2/H_2 、 NH_3 、 NH_3/N_2 、 N_2/O_2 等のエッチングガスを用いて、ビア層間絶縁膜4をストップ膜6が露出されるまで選択的にエッチングする。このときの圧力条件は、疎密間差及びボーイングを防止するため、圧力を略300mTorr以下に設定してエッチングを実施する。また、PR膜19及びARC膜18を完全に剥離するために、圧力を略300mTorr以上まで高めて、エッチングを実施することが望ましい。

【0048】次に、図7(c)に示すように、 $\text{C}_4\text{F}_4/\text{Ar}/\text{O}_2$ 等のエッチングガスを用いて、露出している

ストップ膜(SiO_2 膜)6及びデュアルハードマスク10の下部マスクである SiO_2 膜8を同時に選択的にエッチングする。このとき、上部マスクである SiC 膜9は SiO_2 膜8、6に対して選択比が大きいのでエッチングされない。このエッチング時にイオンの異方性を増大させるために、圧力は略20mTorr以下に設定することが望ましい。

【0049】次に、図8(d)に示すように、 N_2/H_2 、 NH_3 、 NH_3/N_2 、 N_2/O_2 等のエッチングガスを用いて、圧力を略100mTorr以下に設定して、デュアルハードマスク10をマスクとして、露出している配線層間絶縁膜6及びビア層間絶縁膜4を同時に選択してエッチングする。この結果、ビア層間絶縁膜4にビアホール11が形成されると同時に配線層間絶縁膜6に配線溝12が形成される。この場合、配線溝12の幅はデュアルハードマスク10の開孔部10aにより決定されるので、ストップ膜6の開孔部6aにより決定されるビアホール11の幅よりも広く形成される。このように幅の異なる2つの溝を同時にエッチングする場合、幅が広がる配線溝12にエッチング残りが生じ易いので、このエッチング残りを防止するために、エッチングの途中で圧力を略300mTorr以上に増大させてエッチングを行って、略50%以上のオーバーエッチングを実施する。

【0050】次に、図8(e)に示すように、 $\text{CH}_2\text{F}_2/\text{Ar}/\text{O}_2/\text{N}_2$ 等のエッチングガスを用いて、デュアルハードマスク10の上部マスクである SiC 膜9をエッチングすると同時に、キャップ膜(SiC 膜)3を選択的にエッチングする。次に、スパッタ法により全面にCu膜を形成した後、 SiO_2 膜8上の不要なCu膜をCMP法により除去し、配線溝12及びビアホール11内のみにCu膜を残してそれぞれ上層配線14及びビアプラグ13を同時に形成することにより、図1に示したようなこの例の半導体装置を完成させる。

【0051】上述したような半導体装置の製造方法によれば、マスク肩落ちの少ないデュアルハードマスク10を用いてデュアルダマシン配線構造を形成するので、微細加工に適した高加工精度を得ることができ、例えば設計ルール0.2 μm 以下のデュアルダマシン加工を実現することができるようになる。

【0052】このように、この例の半導体装置の構成によれば、それぞれビアプラグ13及び上層配線14が形成されるビア層間絶縁膜4及び配線層間絶縁膜5はともに低誘電率の有機膜から成り、かつ配線層間絶縁膜5は SiO_2 膜8から成るハードマスク7で覆われているので、層間絶縁膜による容量を小さくできるため信号遅延が著しく抑制されて高速動作に受ける影響が少なくなるとともに、マスクの肩落ちが少なくなるため安定に動作することができる。また、この例の半導体装置の製造方法の構成によれば、第2の層間絶縁膜6上にマスク肩落ちの少ないデュアルハードマスク10を形成し、デュアル

ルハードマスク10を用いて低誘電率の有機膜から成るビア層間絶縁膜4及び配線層間絶縁膜5にそれぞれビアホール11及び配線溝12を同時に形成した後、ビアホール11及び配線溝12にそれぞれビアプラグ13及び上層配線14を同時に形成するので、加工精度の高いデュアルダマシン配線構造を容易に製造することができる。したがって、層間絶縁膜により形成される配線間容量を減少させ、高加工精度のデュアルダマシン配線構造を実現することができる。

【0053】◇第2実施例

この第2実施例の半導体装置の構成が、上述した第1実施例のそれと大きく異なるところは、デュアルハードマスクの上部マスクとして異なる薄膜を用いるようにした点である。この例では、第1実施例の図4に示したデュアルハードマスク10の上部マスクであるSiC膜9に代えて、SiN、SiCN、W、WSi、SiOF、シロキサン (Siloxane) をそれぞれ主成分とするHSQ (Hydrogen-Silsequioxane)、MSQ (Methyl-Silsequioxane) あるいはMHSQ (Methyl-Hydroquinone) 等の低誘電率の無機膜を用いるようにしたものである。このような無機膜を用いても、第1実施例で用いたSiC膜と略同様な働きを行わせることができる。

【0054】このように、この例の構成によっても第1実施例と略同様の効果を得ることができる。

【0055】◇第3実施例

この第3実施例の半導体装置の構成が、上述した第1実施例のそれと大きく異なるところは、デュアルハードマスクの下部マスクとして異なる薄膜を用いるようにした点である。この例では、第1実施例の図4に示したデュアルハードマスク10の下部マスクであるSiO₂膜8に代えて、SiC、SiN、SiCN、W、WSi、SiOF、シロキサンをそれぞれ主成分とするHSQ、MSQあるいはMHSQ等の低誘電率の無機膜を用いるようにしたものである。このような無機膜を用いても、第1実施例で用いたSiO₂膜と略同様な働きを行わせることができる。

【0056】このように、この例の構成によっても第1実施例と略同様の効果を得ることができる。

【0057】◇第4実施例

この第4実施例の半導体装置の構成が、上述した第1実施例のそれと大きく異なるところは、ビア層間絶縁膜及び配線層間絶縁膜の中間位置に形成されるストップ膜として異なる薄膜を用いるようにした点である。この例では、第1実施例の図4に示したビア層間絶縁膜4及び配線層間絶縁膜5の中間位置に形成されるストップ膜6であるSiO₂膜に代えて、SiN、SiCN、SiC、SiOF、シロキサンをそれぞれ主成分とするHSQ、MSQあるいはMHSQ等の低誘電率の無機膜を用いるようにしたものである。このような無機膜を用いても、第1実施例で用いたSiO₂膜と略同様な働きを行わせ

ることができる。

【0058】このように、この例の構成によっても第1実施例と略同様の効果を得ることができる。

【0059】◇第5実施例

この第5実施例の半導体装置の構成が、上述した第1実施例のそれと大きく異なるところは、キャップ膜として異なる薄膜を用いるようにした点である。この例では、第1実施例の図4に示した下層配線2上に形成されるキャップ膜2であるSiC膜に代えて、SiON、SiO₂、SiCNあるいはSiN等の薄膜を用いるようにしたものである。このような薄膜を用いても、第1実施例で用いたSiC膜と略同様な働きを行わせることができる。この例において、特にキャップ膜3としてSiO₂を用いた場合には、エッチングガスとしてC₄F₄/CO/Ar/O₂、C₄F₈、C₅F₈、CHF₃等を用いることにより、エッチングレートを増大させることができ、またマスクとしての肩落ちの改善に対して非常に大きな効果を得ることができる。

【0060】このように、この例の構成によっても第1実施例と略同様の効果を得ることができる。

【0061】◇第6実施例

この第6実施例の半導体装置の構成が、上述した第1実施例のそれと大きく異なるところは、第2実施例及び第3実施例の組み合わせによるデュアルハードマスクを用いるようにした点である。すなわち、この例では、第1実施例の図4に示したデュアルハードマスク10の上部マスクであるSiC膜9に代えて、SiN、SiCN、W、WSi、SiOF、シロキサンをそれぞれ主成分とするHSQ、MSQあるいはMHSQ等の低誘電率の無機膜を用いる。一方、デュアルハードマスク10の下部マスクであるSiO₂膜8に代えて、SiC、SiN、SiCN、W、WSi、SiOF、シロキサンをそれぞれ主成分とするHSQ、MSQあるいはMHSQ等の低誘電率の無機膜を用いる。

【0062】以下、図9～図14を参照して、この例の半導体装置及びその製造方法について、第1実施例における図1～図4、図7及び図8に対応して説明する。なお、この例では、上述の下部マスク及び上部マスクとして、同一の絶縁膜を用いて組み合わせた例で説明する。この例の半導体装置は、図9に示すように、配線層間絶縁膜5は、下部マスク及び上部マスクを兼用するSiC膜から成るハードマスク21で覆われている。これ以外は、上述した第1実施例と略同様である。それゆえ、図9において、図1の構成部分と対応する各部には、同一の番号を伏してその説明を省略する。

【0063】この例の半導体装置を製造するには、予めデュアルハードマスク (但し、この例で用いられるマスクは、単一の絶縁膜であるSiC膜から成る上述のハードマスクなので、以下、単にハードマスクと称する) を用意する必要があるので、次に、ハードマスクの形成方

法を説明する。まず、第1実施例における図2の構成において、下部マスクとしてのSiO₂膜8と上部マスクとしてのSiC膜9との積層膜に代えて、SiC膜から成るハードマスク21を用いて、図10に示すような初期構造を形成する。

【0064】次に、図11に示すように、上述の初期構造を基にトレンチマスクを形成する。これには、まず、図11(a)に示すように、PR膜17をマスクとしてCF₄/Ar/O₂等のエッチングガスを用いてドライエッチング法によりARC膜16を選択的にエッチングする。次に、図11(b)に示すように、PR膜17をそのままマスクとしてCF₄/Ar/O₂/N₂から成るエッチングガスを用いて、ハードマスク21を略半分の膜厚だけ選択的にエッチングして凹部22を形成する。

【0065】次に、図11(c)に示すように、O₂、NH₃あるいはN₂/H₂等によるプラズマによりPR膜17をアッシングして除去した後、さらに有機溶剤を用いてレジスト残渣を完全に除去して、凹部22が形成されたハードマスク、いわゆるトレンチマスクを形成する。

【0066】次に、図12に示すように、上述のトレンチマスクを基に第1実施例のデュアルハードマスク10に対応したハードマスク21を形成する。これには、全面に再びARC膜23を形成した後、ARC膜23上にPRを塗布しこれに露光及び現像処理を施して、後述するビアホールに相当する開口部24aを有するPR膜24を形成することにより、SiC膜から成るハードマスク21を形成する。

【0067】次に、図13及び図14を参照して、上述したハードマスクを用いた、この例の半導体装置の製造方法を工程順に説明する。なお、以下の各工程は共通のエッチング装置内で、ステップ切り替えにより連続して行われる。まず、図13(a)に示すように、PR膜24をマスクとして、CF₄/Ar/O₂/N₂等のエッチングガスを用いて、ARC膜23、ハードマスク21及び配線層間絶縁膜5の一部を選択的にエッチングする。

【0068】次に、図13(b)に示すように、N₂/H₂、NH₃、NH₃/N₂、N₂/O₂等のエッチングガスを用いて、配線層間絶縁膜5をストッパ膜6が露出されるまで選択的にエッチングする。

【0069】次に、図13(c)に示すように、CH₂F₂/Ar/O₂等のエッチングガスを用いて、露出しているストッパ膜(SiO₂膜)6及びハードマスク21の上部に突出されている部分21a(図13(b)において)を同時に選択的にエッチングする。

【0070】次に、図14(d)に示すように、N₂/H₂、NH₃、NH₃/N₂、N₂/O₂等のエッチングガスを用いて、ハードマスク21をマスクとして、露出している配線層間絶縁膜5及びビア層間絶縁膜4を同時に選択してエッチングする。この結果、ビア層間絶縁膜4に

ビアホール11が形成されると同時に配線層間絶縁膜5に配線溝12が形成される。この場合、配線溝12の幅はハードマスク21の開口部21aにより決定されるので、ストッパ膜6の開口部6aにより決定されるビアホール11の幅よりも広く形成される。

【0071】次に、図14(e)に示すように、CH₂F₂/Ar/O₂/N₂等のエッチングガスを用いて、キャップ膜(SiC膜)3を選択的にエッチングすると同時に、ハードマスク(SiC膜)21の表面をエッチングする。次に、スパッタ法により全面にCu膜を形成した後、ハードマスク21上の不要なCu膜をCMP法により除去し、配線溝12及びビアホール11内のみにCu膜を残してそれぞれ上層配線14及びビアプラグ13を同時に形成することにより、図9に示したようなこの例の半導体装置を完成させる。

【0072】このように、この例の構成によっても第1実施例におけるデュアルハードマスクがハードマスクに代わっただけなので、第1実施例において述べたのと略同様の効果を得ることができる。

【0073】◇第7実施例

この第7実施例の半導体装置は、第1実施例の半導体装置の構成においてビア層間絶縁膜(第1の層間絶縁膜)及び配線層間絶縁膜(第2の層間絶縁膜)が、CMP法により平坦化されている。すなわち、この例の半導体装置は、図1の第1実施例の半導体装置において、ビア層間絶縁膜4及び配線層間絶縁膜5の表面はCMP法により平坦化されて、層間絶縁膜関層時に生ずるあらゆる段差が解消するように図られている。これにより、各層間絶縁膜上に形成される配線に段落切れ等の不具合が発生しないようになっている。このような半導体装置を製造するには、図2に示すような初期構造の形成時に、SiLK有機膜から成るビア層間絶縁膜4をCVD法、回転塗布法等により成膜した後、CMP法により所定の膜厚となるように調整するようにする。次に、SiO₂膜から成るストッパ膜6を所定の膜厚となるように形成した後、再びSiLK有機膜から成るビア層間絶縁膜4をCVD法、回転塗布法等により成膜した後、CMP法により所定の膜厚となるように調整するようにする。

【0074】このように、この例の構成によれば、層間絶縁膜を成膜後CMP法により平坦化するので、層間絶縁膜関層時に生ずるあらゆる段差を解消することができる。

【0075】◇第8実施例

この第8実施例の半導体装置は、第1実施例の半導体装置の構成においてビア層間絶縁膜(第1の層間絶縁膜)と配線層間絶縁膜(第2の層間絶縁膜)との間に形成されるストッパ膜が、CMP法により平坦化されている。すなわち、この例の半導体装置は、図1の第1実施例の半導体装置において、ビア層間絶縁膜4と配線層間絶縁膜5との間に形成されるストッパ膜6の表面はCMP法

により平坦化されて、層間絶縁膜関層時に生ずるあらゆる段差が解消するように図られている。これにより、各層間絶縁膜上に形成される配線に段落切れ等の不具合が発生しないようになっている。このような半導体装置を製造するには、図2に示すような初期構造の形成時に、SiLK有機膜から成るビア層間絶縁膜4をCVD法、回転塗布法等により成膜して所定の膜厚となるように調整した後、CVD法等によりSiO₂膜を成膜した後所定の膜厚となるように調整するようにする。

【0076】このように、この例の構成によっても、第7実施例と略同様の効果を得ることができる。

【0077】◇第9実施例

この第9実施例の半導体装置の構成が、上述した第1実施例のそれと大きく異なるところは、ビア層間絶縁膜及び配線層間絶縁膜の中間位置に形成されるストップ膜を省略するようにした点である。すなわち、この例では、第1実施例の図4に示したビア層間絶縁膜4及び配線層間絶縁膜5の中間位置に形成されるストップ膜6を省略して、ビア層間絶縁膜及び配線層間絶縁膜を兼用する層間絶縁膜を形成する。

【0078】以下、図15～図20を参照して、この例の半導体装置及びその製造方法について、第1実施例における図1～図4、図7及び図8に対応して説明する。この例の半導体装置は、図15に示すように、下層配線2上にキャップ膜3を介してビア層間絶縁膜及び配線層間絶縁膜を兼用する膜厚が500～700nmの低誘電率の有機膜から成る層間絶縁膜25を有している。ここで、層間絶縁膜25は、第1実施例で示したように、例えばSiLKとして知られている低誘電率の有機膜が用いられる。

【0079】この例の半導体装置を製造するには、予めデュアルハードマスクを用意する必要があるため、次に、デュアルハードマスクの形成方法を説明する。まず、第1実施例における図2の構成において、ビア層間絶縁膜4及び配線層間絶縁膜5を兼用する、低誘電率の有機膜から成る層間絶縁膜25を用いた図16に示すような初期構造を形成する。

【0080】次に、図17に示すように、上述の初期構造を基にトレンチマスクを形成する。これには、まず、図17(a)に示すように、PR膜17をマスクとしてCF₄/Ar/O₂等のエッチングガスを用いてドライエッチング法によりARC膜16を選択的にエッチングする。次に、図17(b)に示すように、PR膜17をそのままマスクとしてCF₄/Ar/O₂/N₂から成るエッチングガスを用いて、上部マスクであるSiC膜9を選択的にエッチングする。

【0081】次に、図17(c)に示すように、O₂、NH₃あるいはN₂/H₂等によるプラズマによりPR膜17をアッシングして除去した後、さらに有機溶剤を用いてレジスト残渣を完全に除去して、開口部9aが形成

されたハードマスク、いわゆるトレンチマスクを形成する。

【0082】次に、図18に示すように、上述のトレンチマスクを基にデュアルハードマスクを形成する。これには、全面に再びARC膜26を形成した後、ARC膜26上にPRを塗布しこれに露光及び現像処理を施して、後述するビアホールに相当する開口部27aを有するPR膜27を形成することにより、デュアルハードマスク10を形成する。

【0083】次に、図19及び図20を参照して、上述したデュアルハードマスクを用いた、この例の半導体装置の製造方法を工程順に説明する。なお、以下の各工程は共通のエッチング装置内で、ステップ切り替えにより連続して行われる。まず、図19(a)に示すように、PR膜27をマスクとして、CF₄/Ar/O₂/N₂等のエッチングガスを用いて、ARC膜26、SiC膜9及びSiO₂膜8から成るデュアルハードマスク10、及び層間絶縁膜25の一部を選択的にエッチングする。

【0084】次に、図19(b)に示すように、N₂/H₂、NH₃、NH₃/N₂、N₂/O₂等のエッチングガスを用いて、層間絶縁膜25の一部をさらに深くなるように選択的にエッチングする。

【0085】次に、図19(c)に示すように、C₄F₄/Ar/O₂等のエッチングガスを用いて、SiC膜9をマスクとして、露出しているSiO₂膜8を選択的にエッチングする。

【0086】次に、図20(d)に示すように、N₂/H₂、NH₃、NH₃/N₂、N₂/O₂等のエッチングガスを用いて、デュアルハードマスク10をマスクとして、露出している層間絶縁膜25を選択的にエッチングする。この結果、層間絶縁膜25の膜厚方向及び幅方向に同時にエッチングが行われるので、層間絶縁膜25に配線溝12とビアホール11とが同時に形成される。

【0087】次に、図20(e)に示すように、CH₂F₂/Ar/O₂/N₂等のエッチングガスを用いて、デュアルハードマスク10の上部マスクであるSiC膜9をエッチングすると同時に、キャップ膜(SiC膜)3を選択的にエッチングする。次に、スパッタ法により全面にCu膜を形成した後、SiO₂膜8上の不要なCu膜をCMP法により除去し、配線溝12及びビアホール11内のみにCu膜を残してそれぞれ上層配線14及びビアプラグ13を同時に形成することにより、図15に示したようなこの例の半導体装置を完成させる。

【0088】このように、この例の構成によっても第1実施例において述べたのと略同様の効果を得ることができる。

【0089】◇第10実施例

この第10実施例の半導体装置の構成が、上述した第1実施例のそれと大きく異なるところは、ビア層間絶縁膜及び配線層間絶縁膜としてそれぞれ無機膜及び有機膜を

用いるようにした点である。すなわち、この例では、第1実施例の図4に示したビア層間絶縁膜4及び配線層間絶縁膜5に代えて、それぞれMSQ膜から成る低誘電率の無機膜28及びSiLK膜から成る低誘電率の有機膜29を用いる。

【0090】以下、図21～図26を参照して、この例の半導体装置及びその製造方法について、第1実施例における図1～図4、図7及び図8に対応して説明する。この例の半導体装置は、図21に示すように、ビア層間絶縁膜及び配線層間絶縁膜として、それぞれMSQ膜から成る低誘電率の無機膜及びSiLK膜から成る低誘電率の有機膜を用いる。

【0091】この例の半導体装置を製造するには、予めデュアルハードマスクを用意する必要があるので、次に、デュアルハードマスクの形成方法を説明する。先ず、第1実施例における図2の構成において、ビア層間絶縁膜及び配線層間絶縁膜として、それぞれMSQ膜から成る低誘電率の無機膜28及びSiLK膜から成る低誘電率の有機膜29を用いて、図22に示すような初期構造を形成する。

【0092】次に、図23に示すように、上述の初期構造を基にトレンチマスクを形成する。これには、まず、図23(a)に示すように、PR膜17をマスクとして $\text{CF}_4/\text{Ar}/\text{O}_2$ 等のエッチングガスを用いてドライエッチング法によりARC膜16を選択的にエッチングする。次に、図23(b)に示すように、PR膜17をそのままマスクとして $\text{CF}_4/\text{Ar}/\text{O}_2/\text{N}_2$ から成るエッチングガスを用いて、上部マスクであるSiC膜9を選択的にエッチングする。

【0093】次に、図23(c)に示すように、 O_2 、 NH_3 あるいは N_2/H_2 等によるプラズマによりPR膜17をアッシングして除去した後、さらに有機溶剤を用いてレジスト残渣を完全に除去して、開口部9aが形成されたハードマスク、いわゆるトレンチマスクを形成する。

【0094】次に、図24に示すように、上述のトレンチマスクを基にデュアルハードマスクを形成する。これには、全面に再びARC膜31を形成した後、ARC膜31上にPRを塗布しこれに露光及び現像処理を施して、後述するビアホールに相当する開口部32aを有するPR膜32を形成することにより、デュアルハードマスク10を形成する。

【0095】次に、図25及び図26を参照して、上述したデュアルハードマスクを用いた、この例の半導体装置の製造方法を工程順に説明する。なお、以下の各工程は共通のエッチング装置内で、ステップ切り替えにより連続して行われる。まず、図25(a)に示すように、PR膜32をマスクとして、 $\text{CF}_4/\text{Ar}/\text{O}_2/\text{N}_2$ 等のエッチングガスを用いて、ARC膜31、SiC膜9及びSiO₂膜8から成るデュアルハードマスク10、

及び有機膜29の一部を選択的にエッチングする。

【0096】次に、図25(b)に示すように、 N_2/H_2 、 NH_3 、 NH_3/N_2 、 N_2/O_2 等のエッチングガスを用いて、有機膜29の一部をさらに深くなるように無機膜28が露出されるまで選択的にエッチングする。

【0097】次に、図25(c)に示すように、 $\text{C}_4\text{F}_4/\text{Ar}/\text{O}_2$ 等のエッチングガスを用いて、SiC膜9をマスクとして、露出しているSiO₂膜8を選択的にエッチングする。これと同時に、無機膜28の一部を浅く選択的にエッチングする。

【0098】次に、図26(d)に示すように、 N_2/H_2 、 NH_3 、 NH_3/N_2 、 N_2/O_2 等のエッチングガスを用いて、デュアルハードマスク10をマスクとして、無機膜28をキャップ膜3が露出されるまで選択的にエッチングする。

【0099】次に、図26(e)に示すように、 N_2/H_2 、 NH_3 、 NH_3/N_2 、 N_2/O_2 等のエッチングガスを用いて、デュアルハードマスク10をマスクとして、露出している有機膜29をさらに選択的にエッチングする。この結果、有機膜29に配線溝12が形成されると同時に、無機膜28にビアホール11が形成される。

【0100】次に、図26(f)に示すように、 $\text{CH}_2\text{F}_2/\text{Ar}/\text{O}_2/\text{N}_2$ 等のエッチングガスを用いて、デュアルハードマスク10の上部マスクであるSiC膜9をエッチングすると同時に、キャップ膜(SiC膜)3を選択的にエッチングする。次に、スパッタ法により全面にCu膜を形成した後、SiO₂膜8上の不要なCu膜をCMP法により除去し、配線溝12及びビアホール11内のみにCu膜を残してそれぞれ上層配線14及びビアプラグ13を同時に形成することにより、図21に示したようなこの例の半導体装置を完成させる。

【0101】このように、この例の構成によっても第1実施例と略同様の効果を得ることができる。

【0102】以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更などがあってもこの発明に含まれる。例えば、第10実施例の変形例として、ビア層間絶縁膜に有機膜を用いる一方、配線層間絶縁膜に無機質を用いるようにしても、第10実施例と略同様な効果を得ることができる。また、下層配線と上層配線とを接続するために用いるビアプラグを構成する導電膜材料としてはCu膜を用いる例で示したが、Cu膜に限らずCuとAlとの合金、CuとAgとの合金、あるいはCuとAlとSiとの合金等の他のものを用いることができる。また、デュアルダマシン配線構造を構成する各絶縁膜の膜厚は一例を示したものであり、目的、用途等に応じて変更することができる。

【0103】

【発明の効果】以上説明したように、この発明の半導体

装置によれば、それぞれビアプラグ及び上層配線が形成される層間絶縁膜は低誘電率の絶縁膜から成り、かつ層間絶縁膜はハードマスクで覆われているので、層間絶縁膜による容量を小さくできるため信号遅延が著しく抑制されて高速動作に受ける影響が少なくなるとともに、マスクの肩落ちが少なくなるため安定に動作することができる。また、この発明の半導体装置の製造方法によれば、層間絶縁膜上にマスク肩落ちの少ないデュアルハードマスクのようなハードマスクを形成し、このハードマスクを用いて低誘電率の絶縁膜から成る層間絶縁膜にビアホール及び配線溝を形成した後、ビアホール及び配線溝にそれぞれビアプラグ及び上層配線を同時に形成するので、加工精度の高いデュアルダマシン配線構造を容易に製造することができる。したがって、層間絶縁膜により形成される配線間容量を減少させ、高加工精度のデュアルダマシン配線構造を実現することができる。

【図面の簡単な説明】

【図1】この発明の第1実施例である半導体装置の構成を示す断面図である。

【図2】同半導体装置に用いられるデュアルハードマスクを形成するための初期構造を示す断面図である。

【図3】同半導体装置に用いられるデュアルハードマスクを形成するためのトレッチマスクの形成方法を工程順に示す工程図である。

【図4】同半導体装置に用いられるデュアルハードマスクを示す断面図である。

【図5】同デュアルハードマスクの形成時に用いられるエッチングガスの一成分である N_2 の流量（横軸）と選択比（縦軸）との関係を示す図である。

【図6】同デュアルハードマスクの形成時に行われるエッチング雰囲気圧力の圧力（横軸）と選択比（縦軸）との関係を示す図である。

【図7】同半導体装置の製造方法を工程順に示す工程図である。

【図8】同半導体装置の製造方法を工程順に示す工程図である。

【図9】この発明の第6実施例である半導体装置の構成を示す断面図である。

【図10】同半導体装置に用いられるデュアルハードマスクを形成するための初期構造を示す断面図である。

【図11】同半導体装置に用いられるデュアルハードマスクを形成するためのトレッチマスクを示す断面図である。

【図12】同半導体装置に用いられるデュアルハードマスクを示す断面図である。

【図13】同半導体装置の製造方法を工程順に示す工程図である。

【図14】同半導体装置の製造方法を工程順に示す工程図である。

【図15】この発明の第9実施例である半導体装置の構

成を示す断面図である。

【図16】同半導体装置に用いられるデュアルハードマスクを形成するための初期構造を示す断面図である。

【図17】同半導体装置に用いられるデュアルハードマスクを形成するためのトレッチマスクを示す断面図である。

【図18】同半導体装置に用いられるデュアルハードマスクを示す断面図である。

【図19】同半導体装置の製造方法を工程順に示す工程図である。

【図20】同半導体装置の製造方法を工程順に示す工程図である。

【図21】この発明の第10実施例である半導体装置の構成を示す断面図である。

【図22】同半導体装置に用いられるデュアルハードマスクを形成するための初期構造を示す断面図である。

【図23】同半導体装置に用いられるデュアルハードマスクを形成するためのトレッチマスクを示す断面図である。

【図24】同半導体装置に用いられるデュアルハードマスクを示す断面図である。

【図25】同半導体装置の製造方法を工程順に示す工程図である。

【図26】同半導体装置の製造方法を工程順に示す工程図である。

【図27】従来の半導体装置の製造方法を工程順に示す工程図である。

【図28】従来の半導体装置の製造方法を工程順に示す工程図である。

【図29】従来の欠点を説明する工程図である。

【符号の説明】

- | | | |
|---------------------------|-------------------|--|
| 1 | 半導体基板 | |
| 2 | 下層配線 | |
| 3 | キャップ膜 | |
| 4 | ビア層間絶縁膜（第1の層間絶縁膜） | |
| 5 | 配線層間絶縁膜（第2の層間絶縁膜） | |
| 6 | ストップ膜 | |
| 6a、9a、17a、19a、24a、27a、32a | 開口部 | |
| 7、21 | ハードマスク | |
| 8 | SiO_2 膜（下部マスク） | |
| 9 | SiC 膜（上部マスク） | |
| 10 | デュアルハードマスク | |
| 11 | ビアホール | |
| 12 | 配線溝 | |
| 13 | ビアプラグ | |
| 14 | 上層配線 | |
| 16、18、23、26、31 | ARC膜（反射防止膜） | |
| 17、19、24、27、32 | PR膜（フォトレ | |

ジスト膜)

21 a 突出している部分

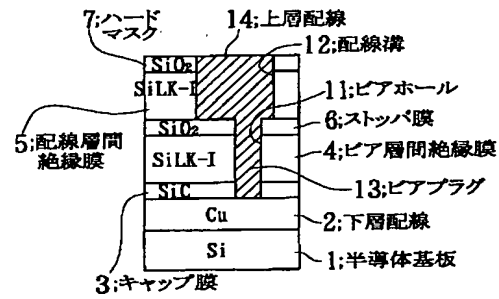
22 凹部

25 層間絶縁膜

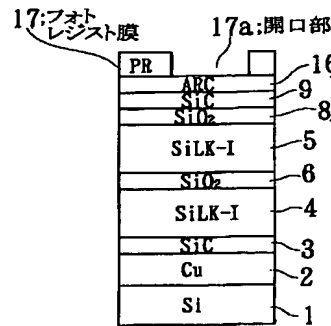
28 無機膜

29 有機膜

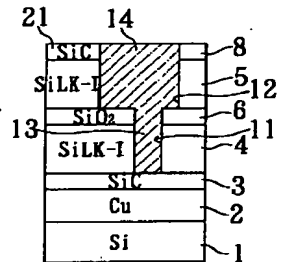
【図1】



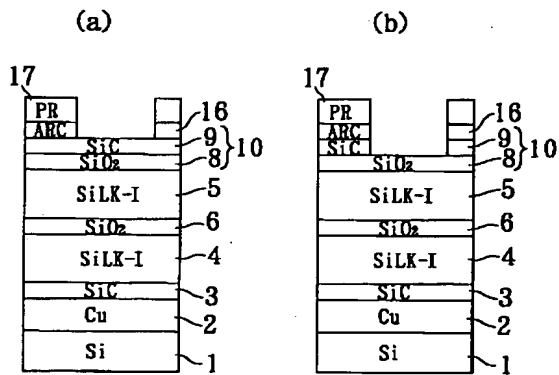
【図2】



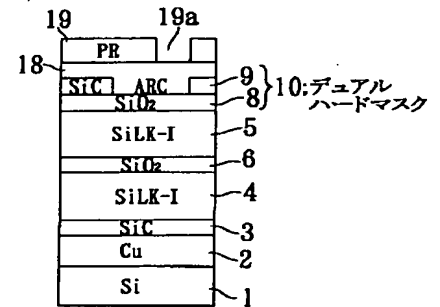
【図9】



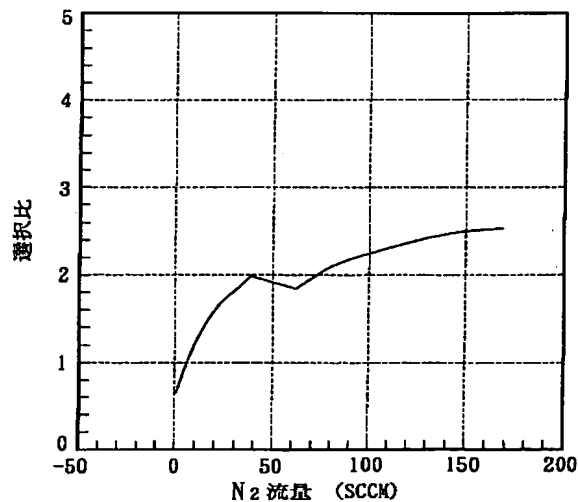
【図3】



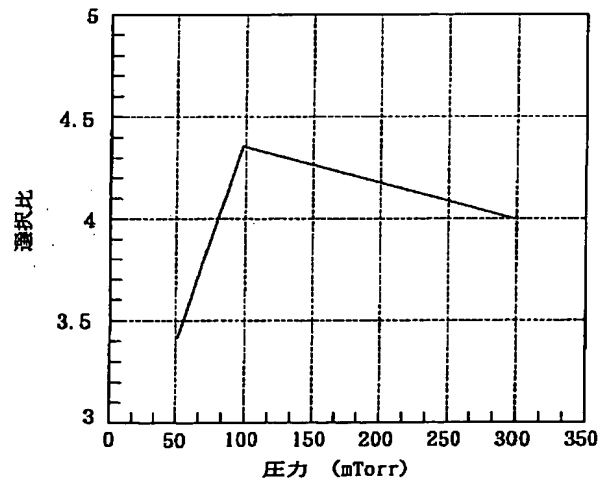
【図4】



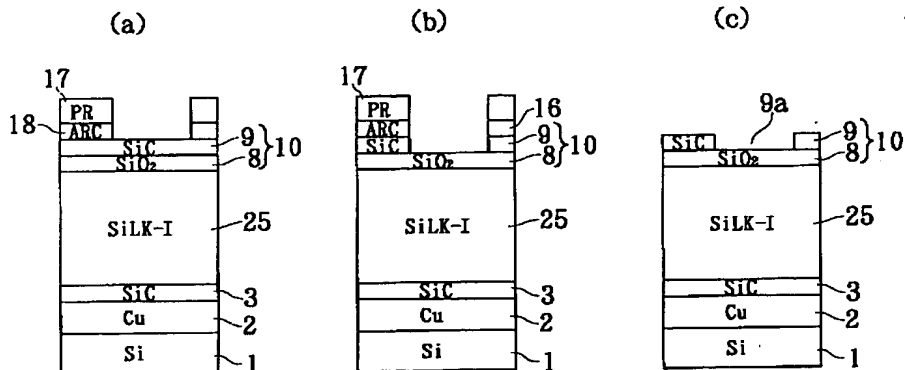
【図5】



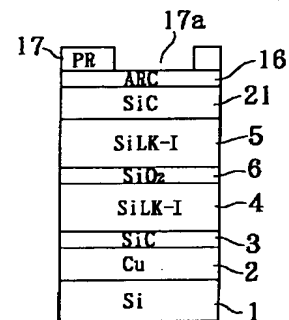
【図6】



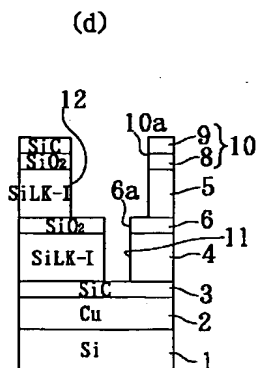
【図7】



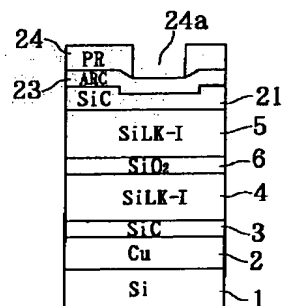
【図10】



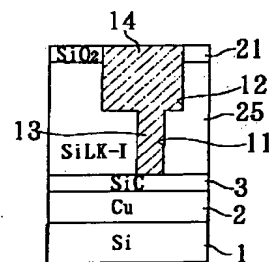
【図8】



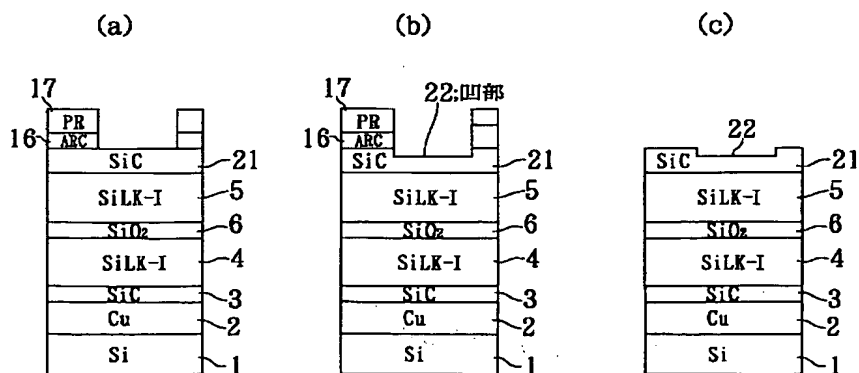
【図12】



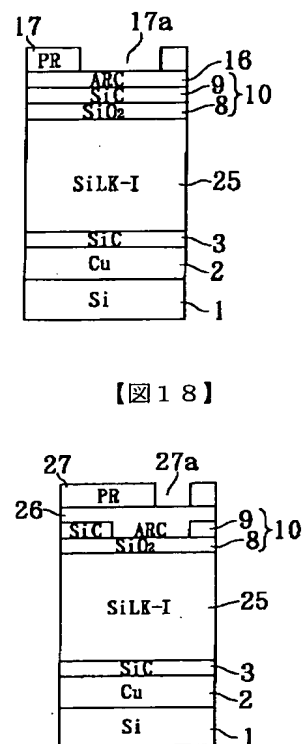
【図15】



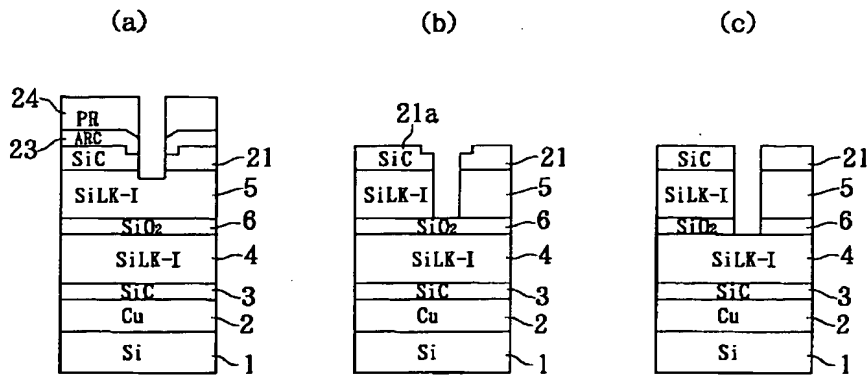
【図11】



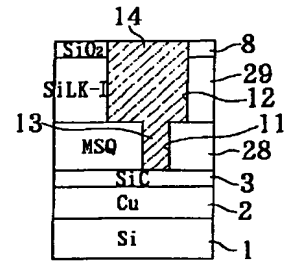
【図18】



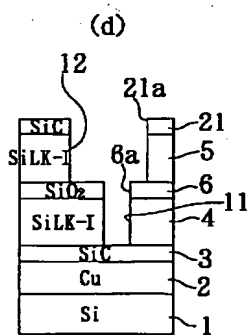
【図13】



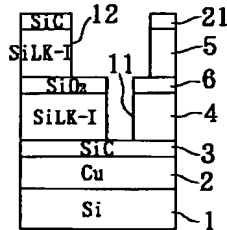
【図21】



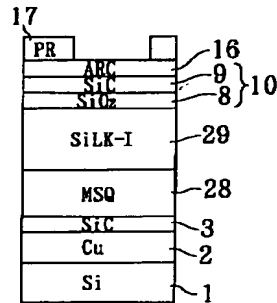
【図14】



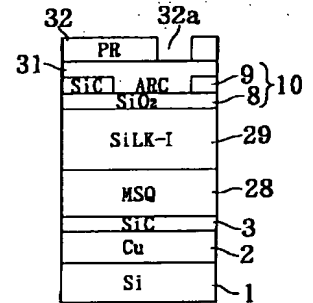
(e)



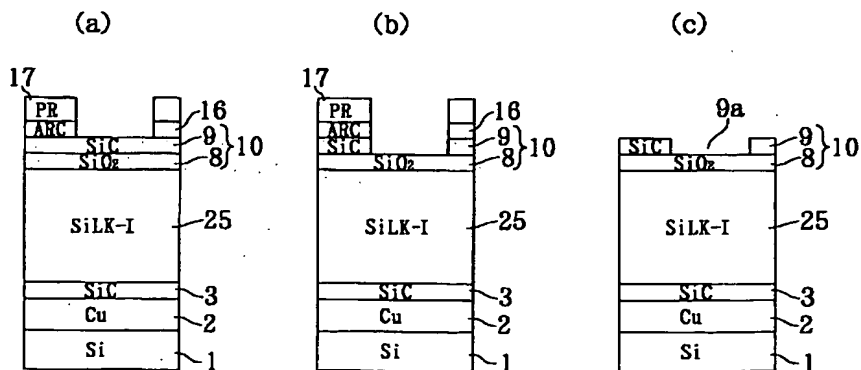
【図22】



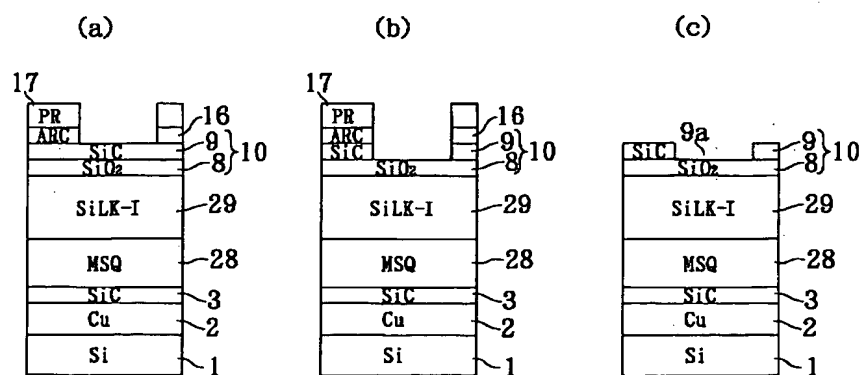
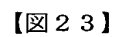
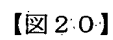
【図24】



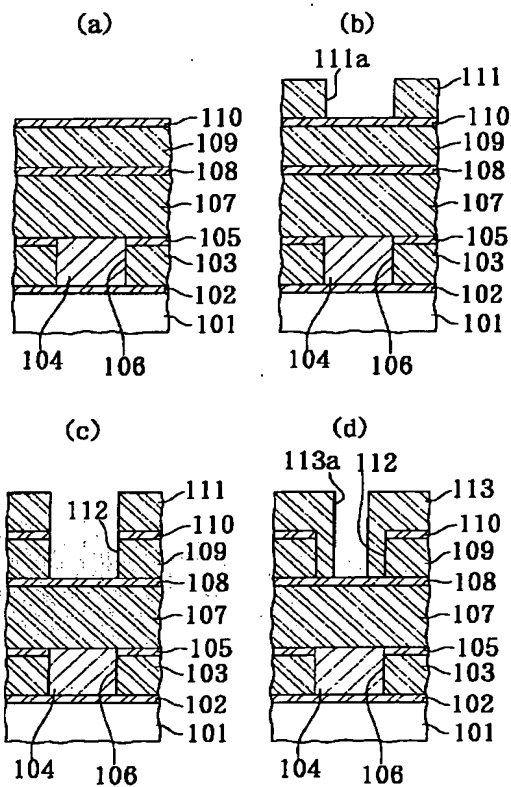
【図17】



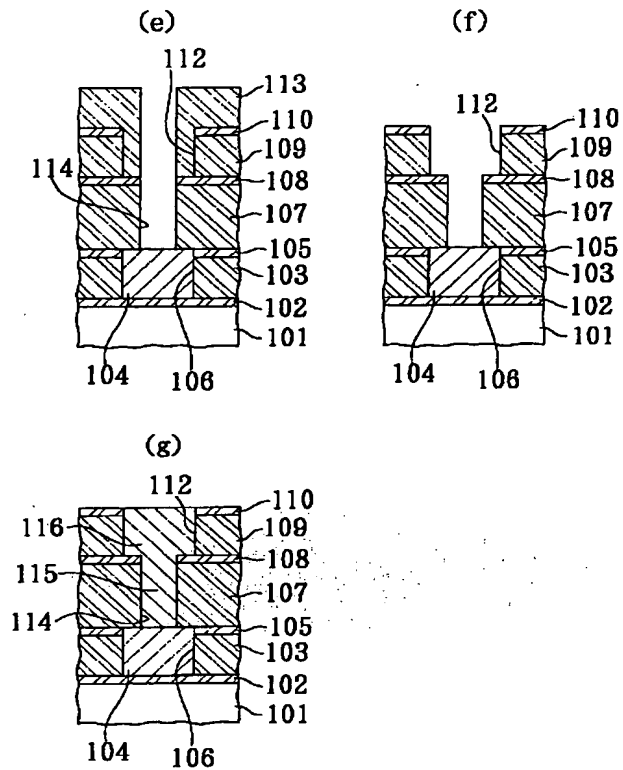
(b)



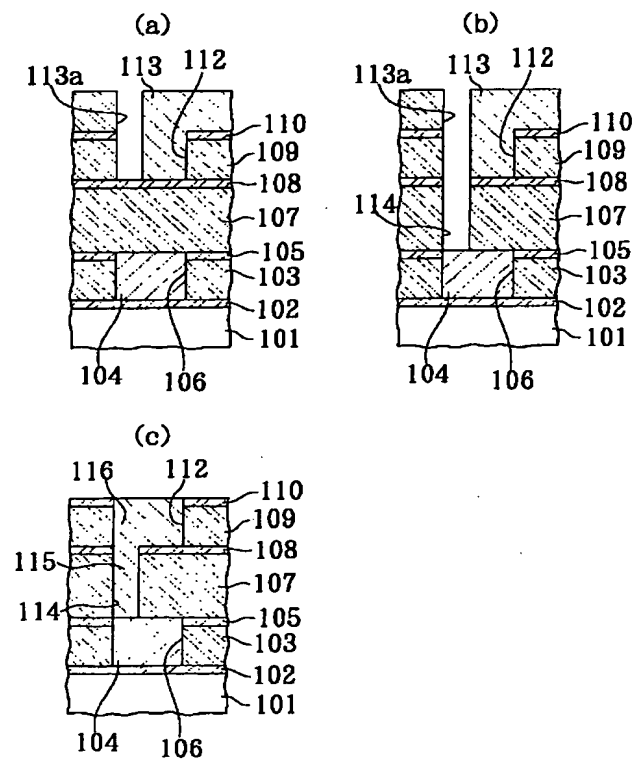
【図27】



【図28】



【図29】



フロントページの続き

F ターム(参考) 5F004 AA04 DA00 DA01 DA15 DA16
DA23 DA24 DA25 DA26 DB00
DB03 DB19 DB24 DB26 EA06
EA22 EA40 EB03
5F033 HH11 HH12 HH19 HH28 JJ11
JJ12 KK11 MM02 QQ09 QQ10
QQ11 QQ15 QQ21 QQ25 QQ28
QQ37 QQ48 QQ96 RR01 RR04
RR05 RR06 RR08 RR09 RR11
RR23 RR25 SS11 SS21 TT04
WW05 WW06 XX02 XX15 XX21
XX24